

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-221676

(43) 公開日 平成7年(1995)8月18日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 B 3/06		C 4229-5K		
H 0 4 L 27/01				
27/22				
		9297-5K	H 0 4 L 27/ 00	K
		9297-5K	27/ 22	Z
			審査請求 未請求	請求項の数4 O L (全 5 頁)

(21) 出願番号 特願平6-8212

(22) 出願日 平成6年(1994)1月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 柳 修三

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 後川 彰久

東京都港区芝五丁目7番1号 日本電気株式会社内

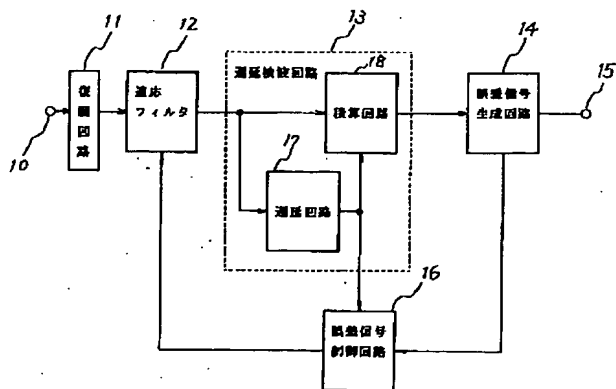
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 高速制御適応フィルタを用いた受信方式

(57) 【要約】

【目的】 適応フィルタにおけるフィルタ係数の誤まった更新を防ぐことのできる高速制御適応フィルタを用いた受信方式を提供すること。

【構成】 遅延回路17により適応フィルタ12の出力信号を遅延させた遅延信号を用い、該遅延信号の大きさが、あらかじめ定められたしきい値より高い場合は誤差信号生成回路14からの誤差信号により前記適応フィルタのフィルタ係数の更新を行い、前記しきい値より低い場合は前記適応フィルタのフィルタ係数の更新を行わないように制御する誤差信号制御回路16を備えた。



【特許請求の範囲】

【請求項 1】 受信信号を復調する復調回路と、該復調回路の出力信号を入力とし、高速適応アルゴリズムを用いて伝送路特性の補償を行う適応フィルタと、該適応フィルタの出力信号を入力とし、該出力信号を遅延させた信号の位相成分を基準として、搬送波位相に同期した信号を出力する遅延検波回路と、前記遅延検波回路出力を入力とし、あらかじめ設定された希望信号との誤差信号を出力する誤差信号生成回路とを有し、前記誤差信号を最小にするように前記適応フィルタのフィルタ係数が制御される高速制御適応フィルタを用いた受信方式において、前記適応フィルタの出力信号を遅延させた遅延信号を用い、該遅延信号の大きさが、あらかじめ定められたしきい値より高い場合は前記誤差信号により前記適応フィルタのフィルタ係数の更新を行い、前記しきい値より低い場合は前記適応フィルタのフィルタ係数の更新を行わないように制御する誤差信号制御回路を備えたことを特徴とする高速制御適応フィルタを用いた受信方式。

【請求項 2】 請求項 1 記載の受信方式において、前記誤差信号制御回路における前記しきい値を受信信号レベルの時間変動に応じて可変にすることを特徴とする高速制御適応フィルタを用いた受信方式。

【請求項 3】 請求項 1 あるいは 2 記載の受信方式において、前記遅延検波回路は、前記適応フィルタの出力信号を 1 シンボル遅延させて前記遅延信号として出力する遅延回路と、前記適応フィルタの出力信号と前記遅延信号とを積算する積算回路とを有することを特徴とする高速制御適応フィルタを用いた受信方式。

【請求項 4】 請求項 3 記載の受信方式において、前記誤差信号制御回路は、前記遅延信号の振幅を検出するレベル検出回路と、前記誤差信号を受けると共に、該レベル検出回路の出力を前記しきい値と比較し、前記レベル検出回路の出力が前記しきい値より高い場合には前記誤差信号をそのまま前記適応フィルタに出力し、前記しきい値より低い場合にはゼロ信号を出力する判定回路とを有することを特徴とする高速制御適応フィルタを用いた受信方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、時変伝送路での高速制御適応フィルタを用いた受信方式に関し、特に遅延検波回路を有する高速制御適応フィルタを用いた受信方式に関する。

【0002】

【従来の技術】 従来の高速制御適応フィルタを用いた受信方式は、例えば特開平 3-76434 号に示されているものをはじめ、様々なタイプのものが提案されており、一例を図 2 を参照して説明する。図 2 において、この方式は復調回路 21 と、高速適応アルゴリズムを用いた適応フィルタ 22 と、遅延検波回路 23 と、誤差信号

生成回路 24 とを有している。受信信号は入力端子 20 より復調回路 21 に入力され、復調信号が出力される。復調回路 21 の出力信号は高速適応アルゴリズムを用いた適応フィルタ 22 に入力され、伝送路特性の補償を行った信号が出力される。適応フィルタ 22 の出力は遅延検波回路 23 に入力され、遅延された適応フィルタ出力値の位相成分を基準として、搬送波位相に同期した信号が出力される。遅延検波回路 23 の出力は誤差信号生成回路 24 に入力され、入力信号と誤差信号生成回路 24 にてあらかじめ設定された希望信号との間の誤差信号が出力される。誤差信号生成回路 24 の出力は、次の適応フィルタ 22 のフィルタ係数を制御するのに利用される。このようにして、誤差信号の自乗平均が最小になるように適応フィルタ 22 のフィルタ係数が逐次制御される。

【0003】

【発明が解決しようとする課題】 この従来の受信方式では、遅延検波回路 23 において、搬送波位相の基準となる、適応フィルタ出力信号を遅延した出力信号の大きさが、ゼロに近いような非常に小さい値の場合、出力信号に含まれる位相情報が少ないため、搬送波位相に同期した遅延検波回路 23 の出力値の信頼性が小さくなる。したがって、遅延検波回路 23 の出力を誤差信号生成回路 24 に入力した後に出力される誤差信号が大きくなる場合があり、よって、次の適応フィルタ 22 のフィルタ係数更新時に、誤った方向に大きく変動する場合がある。誤差信号を高速に収束させることが可能な高速適応アルゴリズムを用いた場合、フィルタ係数更新時の誤差信号に対する依存度が大きいため、前記現象が起こった場合に収束の高速化が損なわれる。

【0004】 それ故、本発明の課題は、適応フィルタにおけるフィルタ係数の誤まった更新を防ぐことのできる高速制御適応フィルタを用いた受信方式を提供することにある。

【0005】

【課題を解決するための手段】 本発明は、受信信号を復調する復調回路と、該復調回路の出力信号を入力とし、高速適応アルゴリズムを用いて伝送路特性の補償を行う適応フィルタと、該適応フィルタの出力信号を入力とし、該出力信号を遅延させた信号の位相成分を基準として、搬送波位相に同期した信号を出力する遅延検波回路と、前記遅延検波回路出力を入力とし、あらかじめ設定された希望信号との誤差信号を出力する誤差信号生成回路とを有し、前記誤差信号を最小にするように前記適応フィルタのフィルタ係数が制御される高速制御適応フィルタを用いた受信方式において、前記適応フィルタの出力信号を遅延させた遅延信号を用い、該遅延信号の大きさが、あらかじめ定められたしきい値より高い場合は前記誤差信号により前記適応フィルタのフィルタ係数の更新を行い、前記しきい値より低い場合は前記適応フィル

10

20

30

40

50

3

タのフィルタ係数の更新を行わないように制御する誤差信号制御回路を備えたことを特徴とする。

【0006】なお、前記誤差信号制御回路における前記しきい値は、受信信号レベルの時間変動に応じて可変にすることが好ましい。

【0007】また、前記遅延検波回路は、前記適応フィルタの出力信号を1シンボル遅延させて前記遅延信号として出力する遅延回路と、前記適応フィルタの出力信号と前記遅延信号とを積算する積算回路とで構成され、前記誤差信号制御回路は、前記遅延信号の振幅を検出するレベル検出回路と、前記誤差信号を受けると共に、該レベル検出回路の出力を前記しきい値と比較し、前記レベル検出回路の出力が前記しきい値より高い場合には前記誤差信号をそのまま前記適応フィルタに出力し、前記しきい値より低い場合にはゼロ信号を出力する判定回路とで構成される。

【0008】

【作用】上記構成において、適応フィルタの出力信号を遅延させた信号がしきい値より低い場合は、誤差信号制御回路の出力をゼロとし、次の適応フィルタのフィルタ係数更新を行わないように制御することによって、誤った適応フィルタのフィルタ係数の更新を防ぎ、収束の高速化が計られる。

【0009】

【実施例】次に、本発明の一実施例について図面を参照して説明する。図1は、本発明による高速適応制御フィルタを用いた受信方式の一実施例である。本発明で扱う受信信号としては、例えばPSK (Phase Shift Keying) 変調信号が考えられる。図1において、受信信号は入力端子10より復調回路11に入力される。復調回路11の出力信号は、高速適応アルゴリズム[例えばRLS (recursive least square)]を用いた適応フィルタ12に入力される。適応フィルタ12により復調信号に対して伝送路特性の補償が加えられた後、適応フィルタ12の出力は遅延検波回路13に入力される。遅延検波回路13は遅延回路17と積算回路18とを有し、遅延回路17によって適応フィルタ12の出力信号が1シンボル遅延される。一方、遅延回路17から出力される遅延信号と適応フィルタ12の出力を積算回路18で積算することによって、適応フィルタ12の出力信号が、遅延回路17の出力信号の位相成分を基準として搬送波位相に同期される。

【0010】積算回路18の出力信号は誤差信号生成回路14に入力され、その内部においてあらかじめ設定された希望信号と積算回路18の出力信号との間の誤差信号が誤差信号生成回路14より出力される。誤差信号生成回路14の出力信号と遅延回路17の出力信号は、誤差信号制御回路16に入力され、遅延回路17の出力ベクトルがゼロに近いあらかじめ定められたしきい値より

4

低い場合は、誤差信号制御回路16はゼロを出力する。一方、遅延回路17の出力ベクトルが前記しきい値より高い場合は、誤差信号制御回路16は誤差信号生成回路14の出力信号を出力するように制御される。誤差信号制御回路16の出力信号は、高速適応アルゴリズムを用いて適応フィルタ12の次回フィルタ係数を制御する。

【0011】ここで、適応フィルタ12の出力信号を1シンボル遅延させた遅延回路17の出力ベクトルが、搬送波位相の信頼性の少ない非常に小さい値の場合、適応フィルタ12の出力信号が正確な情報を持っていても、積算回路18の出力は非常に小さい値となり、よって誤差信号生成回路14から出力される誤差信号は大きな値を持つことになる。この場合に誤差信号制御回路16において、遅延回路17からの入力信号がゼロに近いしきい値より低い場合、誤差信号制御回路16の出力値はゼロとなり、適応フィルタ12の次のフィルタ係数の更新は行わないため、フィルタ係数の誤った更新を防ぐことができる。

【0012】高速適応アルゴリズムとしてRLSアルゴリズムを用いた場合、フィルタ係数の更新値は、

$$h(n) = h(n-1) + k(n) \eta(n)$$

となる。ここで、 $h(n)$ は適応後フィルタ係数更新値、 $h(n-1)$ は適応前フィルタ係数、 $k(n)$ はゲインベクトル、 $\eta(n)$ は誤差信号である[例えばサイモン・ヘイキン著「適応フィルタ入門」現代工学社、1987年9月10日発行、の第144頁に記載]。RLSアルゴリズムでは、LMS [least mean square] アルゴリズムに比べ、初期引き込み過程において、誤差信号の大きさに対するフィルタ係数の変動度が大きいため、本発明の受信方式を用いることにより、フィルタ係数の誤った更新を防ぐことで収束速度の高速化が実現できる。

【0013】図3は本発明の一実施例で使用する適応フィルタ12の構成図である。適応フィルタ12は、例えばMタップのトランスバーサル型フィルタで構成することができる。図3において時刻nの場合、入力信号 $u(n)$ はフィルタ係数 $h_1(n)$ と積算器306で積算され、加算器309に入力される。遅延器303によって1サンプリング時間遅延された入力信号 $u(n-1)$ は、フィルタ係数 $h_2(n)$ と積算器307で積算され、加算器309に入力される。以下同様にして、M番目の遅延器305によって(M-1)サンプリング時間遅延された入力信号 $u(n-M+1)$ は、フィルタ係数 $h_M(n)$ と積算器308で積算され、加算器309に入力される。加算器309ではM個の積算器306、307、…、308の積算結果を総和し、出力する。このとき、加算器309の出力値 $y(n)$ は、以下の数式1で表わされる。

【0014】

【数1】

$$y(n) = \sum_{k=1}^M u(n-k+1)h(k)$$

【0015】また、誤差信号入力端子302に入力される誤差信号制御回路16（図1）からの誤差信号 η

（ n ）を用い、高速適応アルゴリズム311によって、フィルタ係数 $h_1(n)$ 、 $h_2(n)$ 、 $h_M(n)$ が次のフィルタ係数 $h_1(n+1)$ 、 $h_2(n+1)$ 、 $h_M(n+1)$ に更新される。なお、高速適応アルゴリズムは、例えば誤差信号に応じたフィルタ係数をテーブル形式で記憶したメモリで実現される。

【0016】図4は、本発明の一実施例で使用する誤差信号制御回路16（図1）のブロック図である。図4において、遅延回路17（図1）の出力信号は、入力端子401よりレベル検出回路403に入力され、信号の振幅値を検出し出力する。判定回路404では、レベル検出回路403の出力信号を受けると共に、入力端子402から誤差信号生成回路14（図1）の出力信号を入力し、レベル検出回路403の出力信号と判定回路404においてゼロに近いあらかじめ設定したしきい値とを比較する。このとき、レベル検出回路403の出力信号がしきい値より高い場合は、判定回路404は誤差信号生成回路14からの信号入力値をそのまま出力し、レベル検出回路403の出力信号がしきい値より低い場合、判定回路404はゼロ信号を出力する。

【0017】なお、判定回路404で設定されるしきい値は固定でも良いが、受信信号の時間的変動状況、例えばレベルの変動速度に応じて可変とするのが好ましい。この場合、判定回路404には、図4に示すように、入力端子10に入力した受信信号を入力し、変動速度の範囲を複数種類設定すると共に、これに対応した複数種類

のしきい値を設定する。そして、判定回路404において受信信号レベルの変動速度を監視するようにし、この変動速度に対応したしきい値を選択して上記判定動作を行うようにする。このようにすれば、判定回路404内のしきい値が受信信号の状況によって誤差信号を制御するしきい値として適当でない値となった時でもしきい値を変更することで対応できる。

【0018】

【発明の効果】以上説明したように、本発明は搬送波位相の基準となる遅延検波回路内部の遅延回路の出力ベクトルに応じて、適応フィルタのフィルタ係数の更新を制御するようにしたので、適応フィルタ係数の誤った更新を防ぐことができ、収束の高速化を実現する効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図である。

【図2】従来例のブロック図である。

【図3】本発明の一実施例で用いられる適応フィルタのブロック図である。

【図4】本発明の一実施例で用いられる誤差信号制御回路のブロック図である。

【符号の説明】

10、20、301 入力端子

15、25、310 出力端子

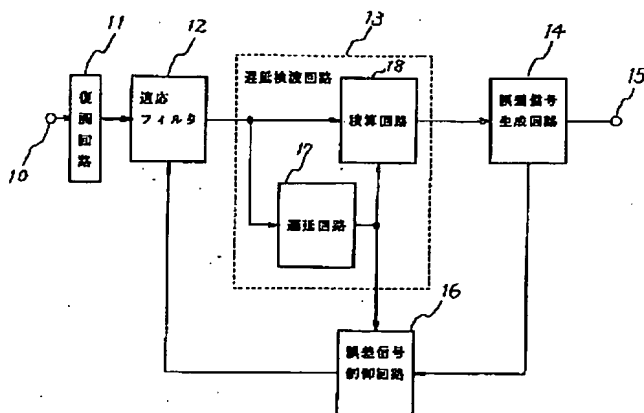
302 誤差信号入力端子

303、304、305 遅延器

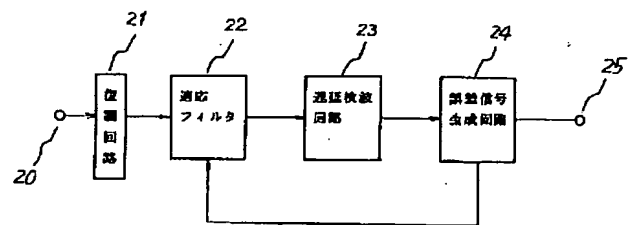
306、307、308 乗算器

309 加算器

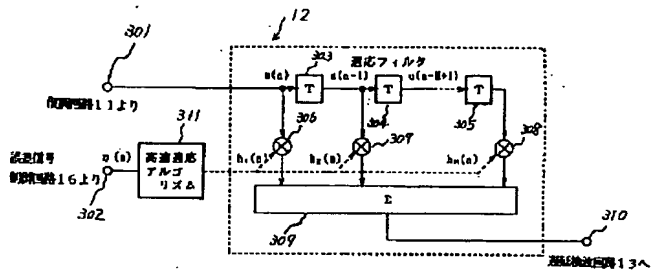
【図1】



【図2】



【図3】



【図4】

